

<Translation>

**THE KOREAN INTELLECTUAL
PROPERTY OFFICE**

This is to certify that the following application annexed hereto is
a true copy from the records of the Korean Intellectual Property Office.

Application Number: 2002 Patent Application No. 82648

Date of Application: December 23, 2002

Applicant(s): SAMSUNG ELECTRO-MECHANICS CO., LTD.

On this 2nd day of May, 2003

COMMISSIONER

<Translation>

APPLICATION FOR PATENT REGISTRATION

Application Number: 2002-82648

Application Date: December 23, 2002

Title of Invention: PRINTED CIRCUIT BOARD WITH EMBEDDED CAPACITORS THEREIN, AND PROCESS FOR MANUFACTURING THE SAME

Applicant(s): SAMSUNG ELECTRO-MECHANICS CO., LTD.

Attorney Name: LEE & PARK Patent & Law Firm

Inventor(s):

1. Seok-Kyu LEE
2. Byoung-Youl MIN
3. Chang-Hyun NAM
4. Hyun-Ju JIN
5. Jang-Kyu KANG

The above Application for Patent Registration is hereby made pursuant to Articles 42 and 60 of the Korean Patent Law.



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 10-2002-0082648
Application Number

출 원 년 월 일 : 2002년 12월 23일
Date of Application

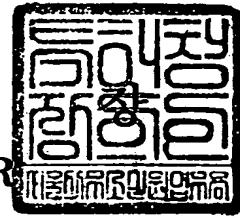
출 원 인 : 삼성전기주식회사
Applicant(s) SAMSUNG ELECTRO-MECHANICS CO., LTD.

2003 년 05 월 02 일



특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2002.12.23
【발명의 명칭】	커패시터 내장형 인쇄회로기판 및 그 제조 방법
【발명의 영문명칭】	A printed circuit board with embedded capacitors, and a manufacturing process thereof
【출원인】	
【명칭】	삼성전기주식회사
【출원인코드】	1-1998-001806-4
【대리인】	
【명칭】	청운특허법인
【대리인코드】	9-2002-100001-8
【지정된변리사】	이철, 이인실, 염승윤, 최재승, 신한철
【포괄위임등록번호】	2002-065077-1
【발명자】	
【성명의 국문표기】	이석규
【성명의 영문표기】	LEE, Seok Kyu
【주민등록번호】	710517-1357413
【우편번호】	361-271
【주소】	충청북도 청주시 흥덕구 복대1동 세원느티마을아파트 102 동 402호
【국적】	KR
【발명자】	
【성명의 국문표기】	민병렬
【성명의 영문표기】	MIN, Byoung Youl
【주민등록번호】	491006-1067912
【우편번호】	136-052
【주소】	서울특별시 성북구 동선동2가 62번지
【국적】	KR

【발명자】

【성명의 국문표기】 남창현
 【성명의 영문표기】 NAM, Chang Hyun
 【주민등록번호】 721024-1807817
 【우편번호】 745-801
 【주소】 경상북도 문경시 문경읍 교촌리 27
 【국적】 KR

【발명자】

【성명의 국문표기】 진현주
 【성명의 영문표기】 JIN, Hyun Ju
 【주민등록번호】 750317-1119927
 【우편번호】 609-350
 【주소】 부산광역시 금정구 청룡동 326번지 5/3
 【국적】 KR

【발명자】

【성명의 국문표기】 강장규
 【성명의 영문표기】 KANG, Jang Kyu
 【주민등록번호】 580504-1462416
 【우편번호】 305-761
 【주소】 대전광역시 유성구 전민동 엑스포아파트 306동 1301호
 【국적】 KR

【심사청구】

【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인
 정운특허법인 (인)

【수수료】

【기본출원료】	20	면	29,000	원
【가산출원료】	17	면	17,000	원
【우선권주장료】	0	건	0	원
【심사청구료】	22	항	813,000	원
【합계】			859,000	원
【첨부서류】	1. 요약서·명세서(도면)_1통			

【요약서】**【요약】**

본 발명은 BaTiO_3 과 에폭시 수지의 합성물로 이루어진 고유전율의 중합체 커패시터 페이스트를 인쇄회로기판의 내충 비아홀에 충진시킨 커패시터 내장형 인쇄회로기판 및 그 제조 방법에 관한 것이다. 본 발명에 따른 커패시터 내장형 인쇄회로기판의 제조 방법은, i) 무동박 적층판의 소정 부분에 복수의 내충 비아홀을 가공하는 단계; ii) 가공된 복수의 내충 비아홀에 커패시터 페이스트를 충진시키는 단계; iii) 커패시터 페이스트 상부 및 하부 각각에 동박층을 형성하는 단계; iv) 동박층 상에 소정의 드라이 필름 패턴을 형성하는 단계; v) 드라이 필름 패턴을 노광 및 현상하여 상부 및 하부전극 및 신호회로 패턴을 형성하는 단계; vi) 상부 및 하부전극 및 신호회로 패턴이 형성된 상부에 수지 코팅된 동박층을 적층하는 단계; vii) 수지 코팅된 동박층에 외충 비아홀과 도통홀을 가공하는 단계; 및 viii) 외충 비아홀 및 도통홀 내벽을 도금하는 단계를 포함한다. 본 발명에 따르면, 미리 가공된 비아홀에 페이스트형 커패시터를 충진시킴으로써, 재료 비가 절감되며, 새로운 추가 인쇄회로기판 층이 필요 없을 뿐만 아니라 공정 구현도 용이하다.

【대표도】

도 6

【색인어】

인쇄회로기판, 커패시터, 페이스트, 내장, 충진, 내충 비아홀

【명세서】**【발명의 명칭】**

커패시터 내장형 인쇄회로기판 및 그 제조 방법 {A printed circuit board with embedded capacitors, and a manufacturing process thereof}

【도면의 간단한 설명】

도 1a 내지 도 1e는 각각 종래의 기술에 따른 종합체 후막형 커패시터를 내장한 인쇄회로기판의 제조 방법을 나타내는 도면들이다.

도 2a 및 도 2b는 각각 종래의 기술에 따른 도 1a 내지 도 1e에 의해 제조된 인쇄회로기판의 문제점을 설명하기 위한 도면이다.

도 3a 내지 도 3f는 각각 종래의 기술에 따른 감광성 수지를 코팅하여 형성된 개별 커패시터를 내장한 인쇄회로기판의 제조 방법을 나타내는 도면들이다.

도 4a 내지 도 4c는 각각 종래의 기술에 따른 커패시턴스 특성을 갖는 별도의 유전 층을 삽입하여 형성된 커패시터를 내장한 인쇄회로기판의 제조 방법을 나타내는 도면들이다.

도 5는 각각 종래의 기술에 따른 도 4a 내지 도 4c에 의해 제조된 인쇄회로기판의 문제점을 설명하기 위한 도면이다.

도 6은 본 발명에 따른 커패시터 내장형 인쇄회로기판의 단면도이다.

도 7a 내지 도 7h는 각각 본 발명의 실시예에 따른 커패시터 내장형 인쇄회로기판의 제조 방법을 나타내는 도면들이다.

* 도면부호의 간단한 설명 *

101: 무동박 적층판 103: 커패시터 페이스트

105: 동박층 107: 드라이 필름

108a: 상부전극 108b: 하부전극

109: 신호회로 패턴 110: 수지 코팅된 동박층(RCC)

111: 외층 비아홀 112: 도통홀

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<14> 본 발명은 커패시터 내장형 인쇄회로기판 및 그 제조 방법에 관한 것으로, 보다 상세하게는 BaTiO_3 과 에폭시 수지(Epoxy resin)의 합성물로 이루어진 고유전율의 중합체 커패시터 페이스트(Polymer Capacitor Paste)를 인쇄회로기판(Printed Circuit Board; PCB)의 내층 비아홀(Inner Via Hole: IVH)에 충진시킨 커패시터 내장형 인쇄회로기판 및 그 제조 방법에 관한 것이다.

<15> 현재까지 대부분의 인쇄회로기판(PCB)의 표면에는 일반적인 개별 칩 저항(Discrete Chip Resistor) 또는 일반적인 개별 칩 커패시터(Discrete Chip Capacitor)를 실장하고 있으나, 최근 저항 또는 커패시터 등의 수동소자를 내장한 인쇄회로기판이 개발되고 있다.

<16> 이러한 수동소자 내장형 인쇄회로기판 기술은 새로운 재료(물질)와 공정을 이용하여 기판의 외부 혹은 내층에 저항 또는 커패시터 등의 수동소자를 삽입하여

기존의 칩 저항 및 칩 커패시터의 역할을 대체하는 기술을 말한다. 다시 말하면, 수동 소자 내장형 인쇄회로기판은 기판 자체의 내층 혹은 외부에 수동소자, 예를 들어, 커패시터가 묻혀 있는 형태로서, 기판 자체의 크기에 관계없이 수동소자인 커패시터가 인쇄 회로기판의 일부분으로 통합되어 있다면, 이것을 "내장형 커패시터"라고 하며, 이러한 기판을 커패시터 내장형 인쇄회로기판(Embedded Capacitor PCB)이라고 한다. 이러한 커패시터 내장형 인쇄회로기판의 가장 중요한 특징은 커패시터가 인쇄회로기판의 일부분으로 본래 갖추어져 있기 때문에 기판 표면에 실장할 필요가 없다는 것이다.

<17> 한편, 현재까지의 커패시터 내장형 인쇄회로기판 기술은 크게 3가지 방법으로 분류될 수 있으며, 이하 상세히 설명한다.

<18> 첫째로, 중합체 커패시터 페이스트를 도포하고, 열 경화, 즉 건조시켜 커패시터를 구현하는 중합체 후막형(Polymer Thick Film Type) 커패시터를 구현하는 방법이 있다. 이 방법은 인쇄회로기판의 내층에 중합체 커패시터 페이스트를 도포하고, 다음에 이를 건조시킨 후에 전극을 형성하도록 동 페이스트(Copper paste)를 인쇄 및 건조시킴으로써 내장형 커패시터를 제조하게 된다.

<19> 둘째로, 세라믹 충진 감광성 수지(Ceramic filled photo-dielectric resin)를 인쇄회로기판에 코팅(coating)하여 개별 내장형 커패시터(embedded discrete type capacitor)를 구현하는 방법으로서, 미국 모토롤라(Motorola)사가 관련 특허 기술을 보유하고 있다. 이 방법은 세라믹 분말(Ceramic powder)이 함유된 감광성 수지를 기판에 코팅한 후에 동박(copper foil)을 적층시켜서 각각의 상부전극 및 하부전극을 형성하며, 이후에 회로 패턴을 형성하고 감광성 수지를 식각하여 개별 커패시터를 구현하게 된다.

<20> 셋째로, 인쇄회로기판의 표면에 실장되던 디커플링 커패시터(Decoupling capacitor)를 대체할 수 있도록 인쇄회로기판 내층에 커패시턴스 특성을 갖는 별도의 유전층을 삽입하여 커패시터를 구현하는 방법으로서, 미국 산미나(Sanmina)사가 관련 특허 기술을 보유하고 있다. 이 방법은 인쇄회로기판의 내층에 전원전극 및 접지전극으로 이루어진 유전층을 삽입하여 전원 분산형 디커플링 커패시터(Power distributed decoupling capacitor)를 구현하고 있다.

<21> 전술한 3가지 기술별로 각각 여러 공정이 개발되고 있고, 각각의 공정에 따라 구현 방법에 차이가 있지만, 현재의 커패시터 내장형 인쇄회로기판 시장은 크게 형성되어 있지 않다. 따라서 전 세계적으로 이들 기술에 대한 표준화는 아직 이루어지지 않고 있으며, 상용화에 사용될 정도의 공정 기술은 아직 개발 중에 있는 실정이다.

<22> 이하, 첨부된 도면을 참조하여 종래의 기술에 따른 커패시터 내장형 인쇄회로기판 및 그 제조 방법에 대하여 구체적으로 설명한다.

<23> 먼저, 첫 번째 종래 기술에 대해 도 1a 내지 도 1e를 참조하여 설명한다.

<24> 도 1a 내지 도 1e는 각각 종래의 기술에 따른 중합체 후막형 커패시터를 내장한 인쇄회로기판의 제조 방법을 나타내는 도면들로서, 중합체 커패시터 페이스트를 도포하고 열 건조(또는 경화)시켜 중합체 후막형 커패시터가 내장된 인쇄회로기판을 구현하게 된다.

<25> 제1 단계로서, FR-4로 이루어지는 PCB 내층(42)의 동박에 드라이 필름(dry film)을 입혀 노광 및 현상 공정을 거친 후에, 상기 동박을 식각하여 양(+)의 전극용 동박

(44a, 44b) 및 음(-)의 전극용 동박(43a, 43b)과 그 틈새(Clearance)를 형성하게 된다(도 1a 참조).

<26> 제2 단계로서, 상기와 같이 형성된 음(-)의 전극용 동박(43a, 43b)에 높은 유전상 수의 세라믹 분말을 함유한 중합체로 이루어진 커패시터 페이스트(45a, 45b)를 스크린 인쇄(Screen Printing) 기술을 이용하여 도포하고, 이후 이를 건조 또는 경화시킨다.(도 1b 참조). 여기서 스크린 인쇄는 스퀴지(squeeze)로 잉크 등의 매체를 스텐실(stencil) 스크린을 통과시켜서 기판 표면 상에 패턴을 전사하는 방법을 말한다.

<27> 이때 상기 커패시터 페이스트(45a, 45b)는 상기 양(+)의 전극용 동박(44a, 44b) 및 음(-)의 전극용 동박(43a, 43b)과의 틈새까지 도포하게 된다.

<28> 다음에, 제3 단계로서, 은(Silver) 및 동(Copper)과 같은 도체 페이스트(Conductive Paste)를 스크린 인쇄 기술을 이용하여 양(+)의 전극(46a, 46b)을 형성시킨 후 건조 또는 경화시킨다. (도 1c 참조).

<29> 제4 단계로서, 상기 PCB의 내충(41)에 전술한 제1 단계 내지 제3 단계까지 진행된 커패시터층을 절연체(47a, 47b) 사이에 삽입시킨 후 적층(Lamination)한다(도 1d 참조).

<30> 다음에, 제5 단계로서, 상기 적층된 제품에 도통홀(Through Hole; TH) 및 레이저 블라인드 비아홀(Laser Blinded Via Hole; LBVH)(49a, 49b)을 이용하여 기판의 내충에 있는 커패시터를 기판 외부에 실장되어 있는 집적회로 칩(IC Chip; 52a, 2b)의 양(+)의 단자(51a, 51b)와 음(-)의 단자(50a, 50b)를 연결시켜 내장형 커패시터 역할을 하게 한다(도 1e 참조).

<31> 그런데, 전술한 종래 기술 방식 중 첫 번째 기술의 첫 번째 문제점은 양(+)의 전극(46a, 46b) 끝단 부위에서 커패시터 페이스트(45a, 45b)의 깨짐(Crack) 현상이 발생한다는 것이다.

<32> 도 2a 및 도 2b는 각각 도 1a 내지 도 1e에 의해 제조된 인쇄회로기판의 문제점을 설명하기 위한 도면이다.

<33> 도 1b를 참조하면, 상기 제2 단계에서 음(-)의 전극용 동박(43a, 43b) 상부에 커패시터 페이스트(45a, 45b)를 인쇄 및 건조하면, 도 2a와 같이 깨짐(C)이 발생하게 된다. 상기 깨짐(Crack) 발생의 주요 원인은 음(-)의 전극용 동박의 두께 때문이다. 대부분의 PCB 내층에 삽입되는 동박의 경우 $1/2\text{oz}(18\mu\text{m})$ 혹은 $1\text{oz}(36\mu\text{m})$ 을 사용하는데, 인쇄되는 커패시터의 두께가 $10\mu\text{m}$ 정도이기 때문에 음(-)의 전극용 동박 끝 부분에서 깨짐이 발생되고, 이렇게 발생된 깨짐은 양(+)의 전극용 동박(44a, 44b)에 연결되는 동 페이스트(45a, 45b)를 인쇄하게 되면 상기 음(-)의 전극과 + 전극 층간에 단락 불량을 발생시킨다는 문제점이 있다.

<34> 또한, 전술한 종래 기술 방식 중 첫 번째 기술의 두 번째 문제점은 도 1e의 1층과 2층 사이에 절연거리 불량을 발생한다는 것이다.

<35> 도 1a 내지 도 1e와 같은 공정으로 내장형 커패시터(45a, 45b)를 형성하고, 제4 단계에서와 같이 절연층(47a, 47b)을 이용하여 기판을 적층하면, 상기 커패시터로 구성된 윗 부분(A 부분)과 내층 코어 2층 및 3층 윗 부분(B 부분)의 절연거리 차이가 도 2b와 같이 크게 발생된다. 예를 들어, $80\mu\text{m}$ 절연재를 사용하여 적층하면 A 부분의 1층과 내층 커패시터의 동 전원전극(46a, 46b) 간의 절연거리는 $20\sim30\mu\text{m}$ 인데 비해, B 부분의 1층과 2층 FR-4 코어(42), 또는 2층 동박 부위와의 절연거리는 $60\sim70\mu\text{m}$ 정도의 두께를 갖게

된다. 이와 같이 2배 이상의 절연거리의 편차가 발생하는 이유는 상기 커패시터 페이스트(45a, 45b)가 $10\sim15\mu\text{m}$ 두께를 갖고 있고, 전원전극(46a, 46b)인 동 페이스트가 $10\sim15\mu\text{m}$ 두께를 갖고 있기 때문이다. 이렇게 1층과 2층 사이의 절연거리의 편차는 결국 1층과 2층의 신호 회로의 임피던스(impedance) 불량을 발생하는 원인이 된다.

<36> 또한, 전술한 종래 기술 방식 중 첫 번째 기술의 세 번째 문제점은 상기 커패시터 페이스트(45a, 45b), 동 페이스트(46a, 46b)의 인쇄 및 건조에 의해 발생되는 이물질로 인한 불량이 발생한다는 것이다.

<37> 즉, 도 1b와 같이 커패시터 페이스트(45a, 45b)를 $10\sim15\mu\text{m}$ 의 일정한 두께로 인쇄한 후에 150°C 이상에서 $30\sim90$ 분 동안 건조시키고, 다시 동 페이스트(46a, 46b)를 인쇄 및 건조하는 공정을 거치게 되면, 인쇄 시에 발생된 이물질 등으로 인해서 건조 시에 동공(Void)이 빈번히 발생하게 된다. 이러한 동공은 결국 양(+)의 전극용 동박(44a, 44b)에 연결되는 동 페이스트(46a, 46b)를 상기 커패시터 페이스트(45a, 45b) 위에 인쇄하고 건조하였을 때 상기 양(+)의 전극과 음(-)의 전극 사이에서 층간 단락 불량이 발생되는 원인이 된다.

<38> 다음으로, 종래의 두 번째 기술에 대해 도 3a 내지 도 3c를 참조하여 설명한다.

<39> 도 3a 내지 도 3f는 각각 종래의 기술에 따른 감광성 수지를 코팅하여 형성된 개별 커패시터를 내장한 인쇄회로기판의 제조 방법을 나타내는 도면들로서, 세라믹 충진 감광성 수지(Ceramic filled photo-dielectric resin)를 인쇄회로기판에 코팅하여 개별 내장형 커패시터를 구현하게 되는데, 모토롤라사에 특허가 허여된 US6,349,456호를 참조하기로 한다.

<40> 제1 단계로서, 상부에 도체층(12)이 형성된 인쇄회로기판(10)에 세라믹 분말이 함유된 감광성 유전체 수지(14)를 코팅한 후, 노광 및 열 건조시키게 된다(도 3a 참조).

<41> 제2 단계로서, 상기와 같이 건조된 감광성 유전체 수지(14) 위에 동박(16)을 적층하게 된다(도 3b 참조). 여기서, 도면부호 18은 동박 식각 레지스트(copper etching resist)로 사용되기 위해 동박(16) 상부에 주석(Tin)이 도금된 희생층(sacrificial layer)을 나타낸다.

<42> 제3 단계로서, 드라이 필름을 상기와 같이 희생층(18) 상부에 적층하고, 이후 노광 및 현상을 하여 희생층(18)과 동박(16) 상부를 식각하여 상부전극(20)을 형성하게 된다(도 3c 참조).

<43> 제4 단계로서, 상기 상부전극(20) 아래의 감광성 유전체 수지(14)를 노광시킨 뒤에 상기 감광성 유전체 수지(22)를 식각한다. 이때 형성된 상부 구리 전극(20)은 감광성 유전체 수지(14)의 감광 레지스트(photomask)로 이용된다(도 3d 참조).

<44> 제5 단계로서, 상기 식각된 감광성 유전체 수지(22) 아래쪽의 동박(12)을 식각하여 하부전극(24)을 형성한다(도 3e 참조).

<45> 마지막, 제6 단계로서, 인쇄회로기판의 내층(10)에서 상기 제1 단계 내지 제5 단계 까지 진행된 커패시터층(32)을 절연체(26) 사이에 삽입시킨 후에 금속층(30)을 적층하게 된다(도 3f 참조).

<46> 이후에 상기와 같이 적층된 제품에 도통홀(TH) 및 레이저 블라인드 비아홀(LBVH)을 이용하여 인쇄회로기판의 내층에 있는 커패시터(32)를 인쇄회로기판 외부에 실장되어 있

는 집적회로 칩의 전원단자 및 접지단자와 연결시켜 개별 내장형 커패시터를 구비하는 인쇄회로기판을 제조하게 된다.

<47> 그런데, 전술한 종래 기술 방식 중 두 번째 기술의 첫 번째 문제점은 제조 방법의 비용이 높다는 것이다.

<48> 즉, 세라믹 충진 감광성 수지(14)를 인쇄회로기판에 코팅하여 개별 내장형 커패시터를 구현하기 위해서는 상기 상부전극(20)과 하부전극(24) 모두의 회로를 형성하여야 하는데, 상당히 많은 공정을 이용하여 완전히 독립적인 개별 커패시터를 구현하게 되며, 이로 인해 제조 방법의 비용이 높아지게 되고, 감광성 유전체 수지(14)를 동박층인 하부전극(12) 전면에 인쇄한 뒤 노광하여 반응된 부위의 유전체를 식각시켜 제거하는 제조 방법이므로 소량의 내장형 커패시터를 구현함에도 많은 양(+)의 감광제 수지가 필요 이상으로 요구되어지는 등 원자재 손실이 많은 문제점이 있다.

<49> 또한, 전술한 종래 기술 방식 중 두 번째 기술의 두 번째 문제점은 상기 하부전극(24) 간의 단락이 발생할 수 있다는 점이다.

<50> 즉, 적층된 동박(16)을 회로 형성하여 상부전극(20)을 만들고, 상기 동박(16)이 식각된 아래에 남게 되는 감광성 유전체 수지(14)를 빛으로 반응시킨 후, 식각액을 사용하여 빛으로 반응된 감광성 유전체 수지(14)를 제거할 때, 제거되는 부분의 폭이 좁을 경우에 하부 동박(12) 상부 쪽에 미식각된 유전체 수지(14)가 남아 있을 수 있다. 그 이유는 상기 감광성 유전체 수지(14)가 열 경화(110°C , 60분간) 되어 빛에 의해 반응하는 감광성 물질(photosensitive agent)들이 완전하게 반응을 하지 못하고 특히 하부 동박(12)쪽에 위치한 유전체 수지(14)는 미식각될 경우가 발생하게 되며, 결국 하부 동박(12)이 미식각되어 하부전극(24)끼리 단락될 수 있다는 문제점이 있다.

<51> 다음으로, 종래의 세 번째 기술에 대해 도 4a 내지 도 4c를 참조하여 설명한다.

<52> 도 4a 내지 도 4c는 각각 종래의 기술에 따른 커패시턴스 특성을 갖는 별도의 유전층을 삽입하여 형성된 커패시터를 내장한 인쇄회로기판의 제조 방법을 나타내는 도면들로서, 인쇄회로기판 내층에 커패시턴스 특성을 갖는 별도의 유전층을 삽입함으로써 상기 인쇄회로기판 표면에 실장되던 디커플링 커패시터를 대체하는 내장형 커패시터를 구현하게 되는데, 미국 산미나사에 특허 허여된 US5,079,069호US5,261,153호 및 US5,800,575호를 참조하기로 한다.

<53> 제1 단계로서, 동박층(62)과 동박층(63) 사이에 고유전율의 동박 코팅 적층판(Copper Coated Laminate; 61)에 드라이 필름을 입하고, 노광 및 현상 공정을 거쳐 상기 동박층(62, 63)을 각각 식각하여, 커패시터의 전원전극 및 틈새를 형성한다(도 4a 참조).

<54> 제2 단계로서, 상기 인쇄회로기판의 내층(61)에 제1 단계를 진행한 제품을 절연체(64a, 64b) 사이에 삽입한 후에 적층하고, 이후 상기 인쇄회로기판의 내층에 외층 동박(65a, 65b)을 적층시킨다(도 4b 참조).

<55> 제3 단계로서, 상기와 같이 적층된 제품에 도통홀(PTH) 및 레이저 블라인드 비아홀(LBVH)을 이용하여 인쇄회로기판의 내층에 있는 커패시터를 상기 인쇄회로기판 외부에 실장되어 있는 집적회로 칩(68a, 68b)의 전원단자 및 접지단자와 연결시켜 전원 분산형 디커플링 커패시터 역할을 하게 한다(도 4c 참조). 여기서, 도면부호 67a 및 67b는 각각 접지전극 및 전원전극 사이의 틈새를 나타내며, 상기 도통홀이나 비아홀이 이 부분을 각각 통과할 경우에 접촉되지 않을 정도의 이격 거리를 갖게 된다.

<56> 그런데, 전술한 종래 기술 방식 중 세 번째 기술의 첫 번째 문제점은 내장형 커패시터층의 낮은 유전상수 값으로 인한 낮은 커패시턴스를 갖는다는 점이다.

<57> 즉, 도 4a에 도시된 $10\sim50\mu\text{m}$ 두께를 갖는 박막형인 경우, 산미나사의 자재는 전원 전극 및 접지전극으로 사용되는 동박 사이에 $25\mu\text{m}$ 혹은 $50\mu\text{m}$ 두께의 FR-4 유전물질로 구성되어 있으며, 또한 이때 FR-4의 유전상수는 4~5정도이므로, 실제 단위 면적당 커패시턴스 값($0.5\sim1\text{nF/in}^2$)은 일반적으로 사용되고 있는 디커플링용 개별 칩 커패시터(100nF/in^2)와 비교해서 상당히 낮기 때문에 내장형 커패시터 기술 구현에 많은 한계가 있다는 문제점이 있다.

<58> 또한, 전술한 종래 기술 방식 중 세 번째 기술의 두 번째 문제점은 내장 커패시터 층의 삽입으로 인해 인쇄회로기판의 두께가 두꺼워지는 문제점이 있다.

<59> 즉, 높은 정전용량값을 FR-4 유전체로 구현하기 위해서는 많은 양(+)의 내장형 커패시터층을 삽입해야 하고 당연히 인쇄회로기판의 층수가 증가되고 두께 또한 높아지는 문제점이 발생되고 그에 따른 제조 가격이 상승한다는 문제점이 있다.

<60> 또한, 전술한 종래 기술 방식 중 세 번째 기술의 세 번째 문제점은 고용량의 커패시턴스 값을 얻기 위해 유전체 두께가 낮은 원자재를 사용할 경우 전원전극용 상부 동박과 접지전극용 하부 동박을 회로 형성시 도 5와 같이 박판인 유전체가 인쇄회로기판 공정, 예를 들어 드라이 필름 적층 및 회로 형성 공정을 진행하는 동안 전원 전극과 접지 전극사이에 단락 및 크랙이 발생된다.

<61> 보다 구체적으로, 도 5는 종래 기술에 따른 커패시턴스 특성을 갖는 별도의 유전층을 삽입하여 형성된 커패시터를 내장한 인쇄회로기판의 문제점을 설명하기 위한 도면으

로서, 도 5에 도시된 바와 같이, 종래 기술에 따른 커패시턴스 특성을 갖는 별도의 유전층을 삽입하여 형성된 커패시터를 내장한 인쇄회로기판에서는 $8\sim10\mu\text{m}$ 의 고유전율 층 (91) 상에 형성되는 $18\sim35\mu\text{m}$ 의 전원전극(92) 및 접지전극(93)은 단락(G) 및 크랙(F)이 발생하게 되는 문제점이 있다.

<62> 한편, 일반적으로 커패시턴스는 커패시터의 면적과 두께에 의해 각각 달리 구현되며, 아래 수학식 1과 같이 계산된다.

<63>

$$C = \epsilon_r \epsilon_0 \left(\frac{A}{D} \right)$$

【수학식 1】

<64> 여기서, ϵ_r 은 유전체의 유전상수(dielectric constant), ϵ_0 은 8.855×10^{-8} 값을 갖는 상수, A는 유전체의 표면적, 그리고 D는 유전체의 두께를 나타낸다. 즉, 고용량의 커패시터를 구현하기 위해서는 유전체의 유전상수가 높아야 하며, 유전체 두께가 얇으면 얕을수록, 그리고 표면적이 넓을수록 높은 용량을 갖는 커패시터를 얻을 수 있다. 또한, 전술한 두개의 형태(Bimodal)의 중합체 세라믹 합성물의 용량은 두께가 $10\mu\text{m}$ 일 경우 $5\sim7\text{nF/cm}^2$ 을 얻을 수 있다.

<65> 예를 들면, 3M사에게 특허 허여된 US6,274,224호의 경우, 전원전극과 접지전극으로 사용되는 동박 사이에 BaTiO_3 세라믹 분말과 열경화성 플라스틱인 에폭시 혹은 폴리이미드(Polyimide)로 혼합한 합성물(Composite) 형태의 $8\sim10\mu\text{m}$ 두께로 이루어진 박막형(Thin Film Type)을 사용하는데, 이때 단위 면적당 커패시턴스 값(10nF/in^2)은 상대적으로 높지만 박판 원자재로 인해 공정에서 전원 전극과 접지 전극사이에 단락 및 크랙이 발생하는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<66> 상기 문제점을 해결하기 위한 본 발명의 목적은 원하는 부분에만 페이스트를 충진 시킨 내장형 커패시터를 구현함으로써 비싼 원자재 손실을 줄일 수 있고, 유전체 씽각과 같은 불필요한 공정을 줄일 수 있어 재료비가 절감되며, 제조 공정이 용이한 커패시터 내장형 인쇄회로기판 및 그 제조 방법을 제공하기 위한 것이다.

<67> 또한, 본 발명의 다른 목적은 FR-4 무동박 적층판에 구성된 비아홀을 사용하여 단위 면적당 더욱 정확한 커패시턴스를 확보할 수 있는 커패시터 내장형 인쇄회로기판 및 그 제조 방법을 제공하기 위한 것이다.

<68> 또한, 본 발명의 다른 목적은 커패시터를 구현하기 위한 새로운 추가 인쇄회로기판 층이 필요 없이 기존의 인쇄회로기판 층에 회로 및 내장형 커패시터를 동시에 구현할 수 있는 커패시터 내장형 인쇄회로기판 및 그 제조 방법을 제공하기 위한 것이다.

【발명의 구성 및 작용】

<69> 상기 목적을 달성하기 위한 수단으로서, 본 발명에 따른 커패시터 내장형 인쇄회로기판의 제조 방법은, i) 무동박 적층판의 소정 부분에 복수의 내층 비아홀을 가공하는 단계; ii) 상기 가공된 복수의 내층 비아홀에 커패시터 페이스트를 충진시키는 단계; iii) 상기 커패시터 페이스트 상부 및 하부 각각에 동박층을 형성하는 단계; iv) 상기 동박층 상에 소정의 드라이 필름 패턴을 형성하는 단계; v) 상기 드라이 필름 패턴을 노광 및 현상하여 상부전극, 하부전극 및 신호회로 패턴을 형성하는 단계; vi) 상기 상부전극, 하부전극 및 신호회로 패턴이 형성된 상부에 수지 코팅된 동박층(Resin Coated Copper: RCC)을 적층하는 단계; vii) 상기 수지 코팅된 동박층에 소정의 외층 비아홀과

도통홀(through hole)을 가공하는 단계; 및 viii) 상기 외층 비아홀 및 도통홀 내벽을 도금하는 단계를 포함하여 이루어진다.

- <70> 여기서, 상기 무동박 적층판은 FR-4 절연체일 수 있다.
- <71> 여기서, 상기 충진된 커패시터 페이스트가 경화되도록 건조시키는 단계를 추가로 포함할 수 있으며, 상기 커패시터 페이스트는 오븐(Oven) 건조기에서 150~170°C로 30분 동안 건조되는 것을 특징으로 한다.
- <72> 여기서, 상기 경화된 커패시터 페이스트를 균일한 높이로 맞추기 위해 과다 충진된 커패시터 페이스트를 연마하여 평탄화시키는 단계를 추가로 포함할 수 있다.
- <73> 여기서, 상기 커패시터 페이스트는 세라믹 천(Ceramic Buff)을 사용하여 평탄화되는 것을 특징으로 한다.
- <74> 여기서, 상기 커패시터 페이스트는 스크린 인쇄 방법으로 상기 비아홀 내에 충진되는 것을 특징으로 한다.
- <75> 또한, 상기 커패시터 페이스트는 유전상수가 1,000~10,000인 고유전율을 갖는 BaTiO₃ 세라믹 분말을 열 경화성 에폭시 수지 또는 폴리이미드와 혼합한 합성물 형태인 것이 바람직하며, 상기 커패시터 페이스트는 상기 BaTiO₃ 분말의 크기를 두개의 형태(Bimodal)로 구현하고, 그 크기는 0.9μm 직경의 분말과 60nm 직경의 극소 분말을 3:1~5:1의 부피 비율로 섞어서 에폭시 수지에 골고루 분산시켜 80~90 정도의 유전상수를 갖는 중합체 세라믹 합성물 형태일 수 있다.
- <76> 또한, 상기 동박층은 무전해 도금 또는 전해 도금되는 것을 특징으로 한다.

<77> 또한, 상기 수지 코팅된 동박층(RCC)은 빌드-업(Build-up) 공정을 이용하여 적층될 수 있다.

<78> 또한, 상기 외층 비아홀은 레이저 드릴을 이용하여 가공되고, 상기 도통홀은 기계식 드릴을 사용하여 가공될 수 있다.

<79> 또한, 상기 외층 비아홀 및 도통홀은 무전해 도금되는 것을 특징으로 한다.

<80> 한편, 상기 목적을 달성하기 위한 수단으로서, 본 발명에 따른 커패시터 내장형 인쇄회로기판은, a) 소정 부분에 복수의 내층 비아홀이 가공된 무동박 적층판; b) 상기 무동박 적층판 상에 형성된 복수의 내층 비아홀에 충진되는 커패시터 페이스트; c) 상기 커패시터 페이스트 상부 및 하부 각각에 형성된 동박층- 여기서 동박층은 상부전극, 하부전극, 신호회로 패턴을 포함함- ; d) 상기 상부전극, 하부전극 및 신호회로 패턴의 상부 및 하부에 적층되는 수지 코팅된 동박층(RCC); e) 상기 수지 코팅된 동박층에 가공되는 소정의 외층 비아홀과 도통홀; 및 f) 상기 외층 비아홀 및 도통홀 내벽에 도금되는 도금층을 포함하여 구성된다.

<81> 따라서, 본 발명은 커패시터 페이스트를 사용하여 비아홀을 충진하고, 이후 인쇄회로기판 외부에 실장된 접적회로 칩의 전원 및 접지 패드와 연결시켜 일반적인 칩 커패시터를 구현할 수 있으므로, 실질적인 커패시터 내장형 인쇄회로기판을 용이하게 구현할 수 있다.

<82> 이하, 첨부된 도면을 참조하여 본 발명의 실시예에 따른 커패시터 내장형 인쇄회로기판 및 그 제조 방법에 대하여 설명한다.

<83> 도 6은 본 발명에 따른 중합체 커패시터 페이스트를 내층 비아홀에 충진시켜 형성된 커패시터를 내장한 인쇄회로기판의 단면도이다.

<84> 도 6을 참조하면, 본 발명에 따른 커패시터 내장형 인쇄회로기판은, a) 소정 부분에 복수의 내층 비아홀이 가공된 무동박 적층판(101); b) 상기 무동박 적층판(101) 상에 형성된 복수의 내층 비아홀에 충진되는 커패시터 페이스트(103); c) 상기 커패시터 페이스트(103) 상부 및 하부 각각에 형성된 동박층(108a, 108b, 109)- 여기서 동박층은 상부전극(108a), 하부전극(108b) 및 신호회로 패턴(109)을 포함함- ; d) 상기 상부전극, 하부전극 및 신호회로 패턴의 상부 및 하부에 적층되는 수지 코팅된 동박층(RCC; 110)); e) 상기 수지 코팅된 동박층에 가공되는 소정의 외층 비아홀(111)과 도통홀(112); 및 f) 상기 외층 비아홀 및 도통홀 내벽에 도금되는 도금층을 포함하여 구성된다.

<85> 따라서, 본 발명은 기존 신호회로 패턴층에 비아홀을 가공한 후에 고유전율의 중합체 페이스트(103)를 상기 비아홀에 충진시켜서 신호회로 패턴(109)과 커패시터가 같은 층에 형성된 내장형 인쇄회로기판을 구현하게 된다.

<86> 즉, 본 발명은 높은 유전상수를 갖는 내장형 커패시터층을 삽입하여 새로운 전원층과 접지층을 형성하는 칩 커패시터(Chip Capacitor)를 대체하는 박막형(Thin Film Type) 기술이 아니라, 기존에 존재하던 신호회로 패턴층에 비아홀(Hole)을 가공하고, 중합체 커패시터 페이스트(103)를 사용하여 상기 비아홀을 충진하고, 이후 인쇄회로기판 외부에 실장될 접적회로 칩의 전원 및 접지 패드(도시되지 않음)와 연결시킴으로써 커패시터를 구현하는 기술로서, 실질적인 커패시터 내장형 인쇄회로기판을 용이하게 구현할 수 있다

<87> 상기 커패시터 페이스트(103)는 고유전율($Dk: 1,000 \sim 10,000$)을 갖는 BaTiO₃ 세라믹 분말을 열 경화성 에폭시 수지 또는 폴리이미드와 혼합한 합성물 형태로 구성되어 있기 때문에 높은 커패시턴스 구현이 가능하다. 또한, 상기 커패시터 페이스트(103)는 BaTiO₃ 분말의 크기를 하나의 형태(Unimodal)로 구성하는 것보다는 두개의 형태(Bimodal)로 구현하고, 그 크기는 $0.9\mu\text{m}$ 직경의 분말과 60nm 직경의 극소 분말을 3:1~5:1의 부피 비율로 섞어서 에폭시 수지에 골고루 분산시켜 대략 80~90의 유전상수를 갖는 중합체 세라믹 합성물 형태이다.

<88> 이하 도 7a 내지 도 7h를 참조하여, 본 발명의 실시예에 따른 커패시터 내장형 인쇄회로기판의 제조 방법을 설명하기로 한다.

<89> 도 7a 내지 도 7h는 각각 본 발명의 실시예에 따른 커패시터 내장형 인쇄회로기판의 제조 방법을 나타내는 도면들이다.

<90> 먼저, 제1 단계로, 일반적인 FR-4 절연체로 구성된 무동박 적층판(101)에 도면부호 E로 도시되는 내층 비아홀(IVH)을 가공한다(도 7a 참조).

<91> 제2 단계로, 각각의 비아홀(E)에 커패시터 페이스트(103)를 실크스크린 인쇄(screen printing) 방식을 사용하여 충진한 후에, 일반 오븐(Oven) 건조기에서 150~170 °C, 30분에서 1시간 가량 커패시터 페이스트(103)를 경화시키기 위해 건조시킨다(도 7b 참조).

<92> 제3 단계로, 상기 무동박 적층판(101)의 두께와 경화된 커패시터 페이스트(103) 두께를 균일한 높이로 맞추기 위해 세라믹 브uff(ceramic buff)을 이용하여 과다 충진된 커패시터 페이스트를 $2\sim3\mu\text{m}$ 깎아서 균일한 높이로 맞추게 된다(도 7c 참조).

<93> 제4 단계로, 상기 커패시터 페이스트(103)가 충진되어 있는 무동박 FR-4 적층판(101)의 상부면과 하부면을 도금하여 동박층(105)을 형성하게 된다. 구체적으로, 무전해 도금(Electroless plating)을 하여 양면에 1~2 μ m의 동박층을 형성시킨 후, 이후 전해 도금으로 15 μ m 정도의 동박층을 형성하게 된다(도 7d 참조).

<94> 제5 단계로, 상기 상부 및 하부 동박층(105) 상에 드라이 필름(photo resist dry film; 107)을 적층하고 이를 노광 및 현상하여 상기 커패시터 상부 및 하부전극 동박을 제외한 부분의 드라이 필름(107)을 식각하게 된다(도 7e 참조).

<95> 제6 단계로, 상기 상부전극, 하부전극, 및 신호회로 패턴을 형성하기 위해 소정 부분의 동박층(105)을 식각하고, 이후, 상부전극(108a), 하부전극(108b) 및 신호회로 패턴(109)이 형성될 부위의 드라이 필름을 제거함으로써, 상부전극(108a), 하부전극(108b) 및 신호회로 패턴(109)을 형성하게 된다. 따라서, 상기 상부전극(108a) 및 하부전극(108b) 사이에 커패시터 페이스트(103)가 개별적으로 충진된 커패시터가 형성된다(도 7f 참조).

<96> 제7 단계로, 상기와 같이 형성된 커패시터 상부전극(108a), 하부전극(108b) 및 신호회로 패턴(109) 부분을 포함하는 전면에 빌드-업(Build-up) 공정을 이용하여 수지 코팅된 동박(Resin Coated Copper; RCC)(110)을 적층하게 된다(도 7g 참조).

<97> 제8 단계로, 상기 적층된 RCC 박막(110)을 레이저 드릴(Laser drill)을 이용하여 외층 비아홀(111)을 형성하고 기계식 드릴(Mechanical drill)을 사용하여 도통홀(through hole)(112)을 형성한 후, 상기 비아홀 및 도통홀을 무전해 도금하게 된다(도 7h 참조). 이후, 인쇄회로기판 외부에 실장될 집적회로 칩의 전원 및 접지 패드(도시되지 않음)와 연결시킴으로써 커패시터 내장형 인쇄회로기판이 완성된다.

<98> 결국, 본 발명은, 전술한 바와 같이 기존에 존재하던 신호회로 층에 비아홀을 가공하고, 중합체 커패시터 페이스트(103)를 사용하여 상기 비아홀을 충진하고, 인쇄회로기판 외부에 실장될 접적회로 칩의 전원 및 접지 패드와 연결시킴으로서 커패시터를 구현하는 기술로서, 산미나사의 내장형 커패시터 기술이 유전체로 FR-4(Dk 4.5) 시트를 사용한 것과 달리 본 발명은 세라믹 분말이 함유된 에폭시 수지(Dk 70~90)인 페이스트를 사용하였다는 것이다.

<99> 또한, 본 발명에 따르면 산미나사의 경우 내장형 커패시터를 구현하기 위해 전층에 FR-4 유전체 시트를 사용하여서 인쇄회로기판의 층수가 증가될 수 있고, 또한 종래에는 신호회로 패턴을 커패시터의 전원층 및 접지층과 함께 사용될 수 없는 것과는 달리 본 발명은 층수의 증가 없이 기존 신호 회로 층에 비아홀을 가공하고 커패시터 페이스트를 충진하여 커패시터 내장형 다층 인쇄회로기판을 구현할 수 있다.

<100> 또한, 본 발명에 따르면 커패시터 페이스트가 일정한 높이와 면적을 가진 비아홀에 충진되어 단위 면적당 정확한 커패시턴스를 얻을 수 있다.

<101> 또한, 본 발명에 따르면 전층에 감광성 커패시터 수지를 코팅한 후 이를 노광 및 현상하여, 개별 커패시터를 구현하는 모토롤라의 기술과는 달리, 커패시터로 구현될 곳에만 비아홀을 형성하고, 이 비아홀에 커패시터를 충진하여 내장형 커패시터를 구현할 수 있으므로, 제조 공정을 단축시킬 수 있다.

【발명의 효과】

<102> 본 발명에 따른 커패시터 내장형 인쇄회로기판 및 그 제조 방법은, 원하는 부분에만 페이스트를 충진하여 내장형 커패시터를 구현함으로써 비싼 원자재 손실을 줄일 수

있고 유전체 식각과 같은 불필요한 공정을 줄일 수 있어 재료비가 절감되고 제조 공정이 용이해진다.

<103> 또한, 본 발명에 따른 커패시터 내장형 인쇄회로기판 및 그 제조 방법은, FR-4 무동박 적층판에 구성된 비아홀을 사용하여 일정한 높이와 넓이를 가진 보다 정확한 커패시턴스를 확보할 수 있다.

<104> 또한, 본 발명에 따른 커패시터 내장형 인쇄회로기판 및 그 제조 방법은, 커패시터를 구현하기 위한 새로운 추가 인쇄회로기판 층이 필요 없이 기존의 인쇄회로기판 층에 회로 및 내장형 커패시터를 동시에 구현할 수 있다.

【특허청구범위】**【청구항 1】**

- i) 무동박 적층판의 소정 부분에 복수의 내층 비아홀을 가공하는 단계;
- ii) 상기 가공된 복수의 내층 비아홀에 커패시터 페이스트를 충전시키는 단계;
- iii) 상기 커패시터 페이스트 상부 및 하부 각각에 동박층을 형성하는 단계;
- iv) 상기 동박층 상에 소정의 드라이 필름 패턴을 형성하는 단계;
- v) 상기 드라이 필름 패턴을 노광 및 현상하여 상부전극, 하부전극 및 신호회로 패턴을 형성하는 단계;
- vi) 상기 상부전극, 하부전극 및 신호회로 패턴이 형성된 상부에 수지 코팅된 동박층(Resin Coated Copper: RCC)을 적층하는 단계;
- vii) 상기 절연층 및 동박층에 소정의 외층 비아홀과 도통홀(through hole)을 가공하는 단계; 및
- viii) 상기 외층 비아홀 및 도통홀 내벽을 도금하는 단계

를 포함하여 이루어지는 커패시터 내장형 인쇄회로기판의 제조 방법.

【청구항 2】

제1항에 있어서,

상기 무동박 적층판은 FR-4 절연체인 것을 특징으로 하는 커패시터 내장형 인쇄회로기판의 제조 방법.

【청구항 3】

제1항에 있어서,

상기 충진된 커패시터 페이스트가 경화되도록 건조시키는 단계를 추가로 포함하는 커패시터 내장형 인쇄회로기판의 제조 방법.

【청구항 4】

제3항에 있어서,

상기 커패시터 페이스트는 오븐(Oven) 건조기에서 150~170°C로 30분 동안 건조되는 것을 특징으로 하는 커패시터 내장형 인쇄회로기판의 제조 방법.

【청구항 5】

제3항에 있어서,

상기 경화된 커패시터 페이스트를 균일한 높이로 맞추기 위해 과다 충진된 커패시터 페이스트를 연마하여 평탄화시키는 단계를 추가로 포함하는 커패시터 내장형 인쇄회로기판의 제조 방법.

【청구항 6】

제5항에 있어서,

상기 커패시터 페이스트는 세라믹 천(Ceramic Buff)을 사용하여 평탄화되는 것을 특징으로 하는 커패시터 내장형 인쇄회로기판의 제조 방법.

【청구항 7】

제1항에 있어서,

상기 커패시터 페이스트는 스크린 인쇄 방법으로 상기 비아홀 내에 충진되는 것을 특징으로 하는 커패시터 내장형 인쇄회로기판의 제조 방법.

【청구항 8】

제1항에 있어서,

상기 커패시터 페이스트는 유전상수가 1,000~10,000인 고유전율을 갖는 BaTiO_3 세라믹 분말을 열 경화성 에폭시 수지 또는 폴리이미드와 혼합한 합성물 형태인 것을 특징으로 하는 커패시터 내장형 인쇄회로기판의 제조 방법.

【청구항 9】

제1항에 있어서,

상기 커패시터 페이스트는 상기 BaTiO_3 분말의 크기를 두개의 형태(Bimodal)로 구현하고, 그 크기는 $0.9\text{ }\mu\text{m}$ 직경의 분말과 60 nm 직경의 극소 분말을 3:1~5:1의 부피 비율로 섞어서 에폭시 수지에 골고루 분산시켜 80~90 정도의 유전상수를 갖는 중합체 세라믹 합성물 형태인 것을 특징으로 하는 커패시터 내장형 인쇄회로기판의 제조 방법.

【청구항 10】

제1항에 있어서,

상기 동박층은 무전해 도금 또는 전해 도금되는 것을 특징으로 하는 커패시터 내장형 인쇄회로기판의 제조 방법.

【청구항 11】

제1항에 있어서,

상기 수지 코팅된 동박층(RCC)은 빌드-업(Build-up) 공정을 이용하여 적층되는 것을 특징으로 하는 커패시터 내장형 인쇄회로기판의 제조 방법.

【청구항 12】

제1항에 있어서,

상기 비아홀은 레이저 드릴(Laser drill)을 이용하여 가공되는 것을 특징으로 하는 커패시터 내장형 인쇄회로기판의 제조 방법.

【청구항 13】

제1항에 있어서,

상기 도통홀은 기계식 드릴(Mechanical drill)을 사용하여 가공되는 것을 특징으로 하는 커패시터 내장형 인쇄회로기판의 제조 방법.

【청구항 14】

제1항에 있어서,

상기 외층 비아홀 및 도통홀은 무전해 도금되는 것을 특징으로 하는 커패시터 내장형 인쇄회로기판의 제조 방법.

【청구항 15】

- a) 소정 부분에 복수의 내층 비아홀이 가공된 무동박 적층판;
- b) 상기 무동박 적층판 상에 형성된 복수의 내층 비아홀에 충진되는 커패시터 페이스트;
- c) 상기 커패시터 페이스트 상부 및 하부 각각에 형성된 동박층- 여기서 동박층은 상부전극, 하부전극, 및 신호회로 패턴을 포함함- ;

- d) 상기 상부전극, 하부전극 및 신호회로 패턴의 상부 및 하부에 적층되는 수지 코팅된 동박층(RCC);
- e) 상기 수지 코팅된 동박층에 가공되는 소정의 외층 비아홀과 도통홀; 및
- f) 상기 외층 비아홀 및 도통홀 내벽에 도금되는 도금층

을 포함하여 구성되는 커패시터 내장형 인쇄회로기판.

【청구항 16】

제15항에 있어서,

상기 무동박 적층판은 FR-4 절연체인 것을 특징으로 하는 커패시터 내장형 인쇄회로기판.

【청구항 17】

제15항에 있어서,

상기 커패시터 페이스트는 스크린 인쇄 방법으로 상기 비아홀 내에 충진되는 것을 특징으로 하는 커패시터 내장형 인쇄회로기판.

【청구항 18】

제15항에 있어서,

상기 커패시터 페이스트는 유전상수가 1,000~10,000인 고유전율을 갖는 $BaTiO_3$ 세라믹 분말을 열 경화성 에폭시 수지 또는 폴리이미드와 혼합한 합성물 형태인 것을 특징으로 하는 커패시터 내장형 인쇄회로기판.

【청구항 19】

제15항에 있어서,

상기 커패시터 페이스트는 상기 BaTiO_3 분말의 크기를 두개의 형태로 구현하고, 그 크기는 $0.9\mu\text{m}$ 직경의 분말과 60nm 직경의 극소 분말을 3:1~5:1의 부피 비율로 섞어서 에폭시 수지에 골고루 분산시켜 80~90 정도의 유전상수를 갖는 중합체 세라믹 합성물 형태인 것을 특징으로 하는 커패시터 내장형 인쇄회로기판.

【청구항 20】

제15항에 있어서,

상기 수지 코팅된 동박층(RCC)은 빌드-업 공정을 이용하여 적층된 것을 특징으로 하는 커패시터 내장형 인쇄회로기판.

【청구항 21】

제15항에 있어서,

상기 소정의 외층 비아홀은 레이저 드릴을 이용하여 가공된 것을 특징으로 하는 커패시터 내장형 인쇄회로기판.

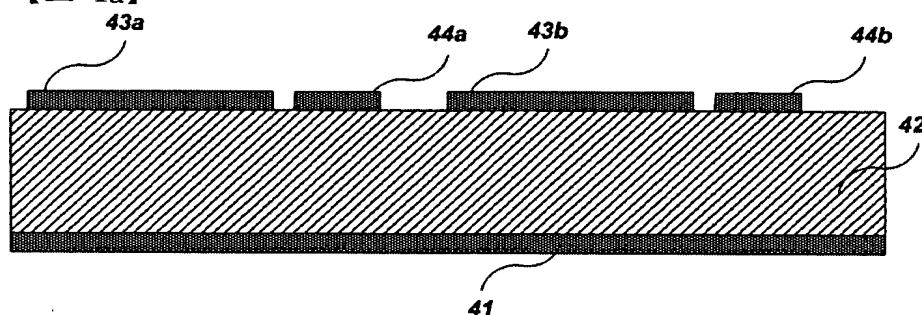
【청구항 22】

제15항에 있어서,

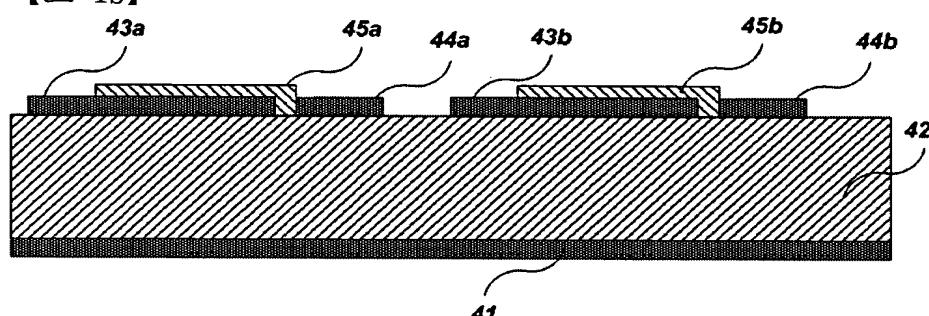
상기 도통홀은 기계식 드릴을 사용하여 가공된 것을 특징으로 하는 커패시터 내장형 인쇄회로기판.

【도면】

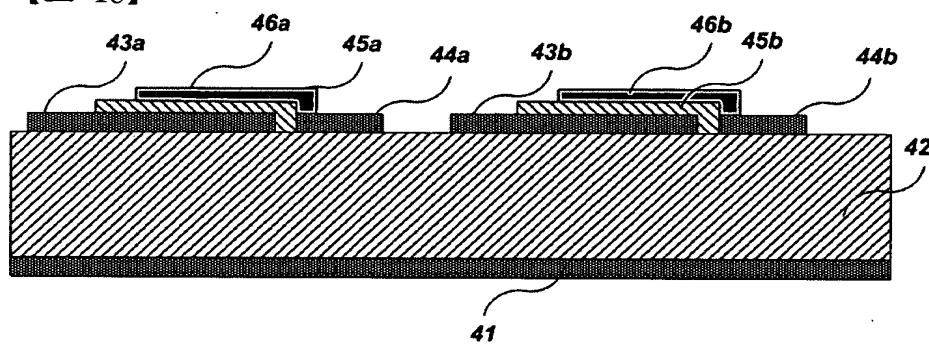
【도 1a】



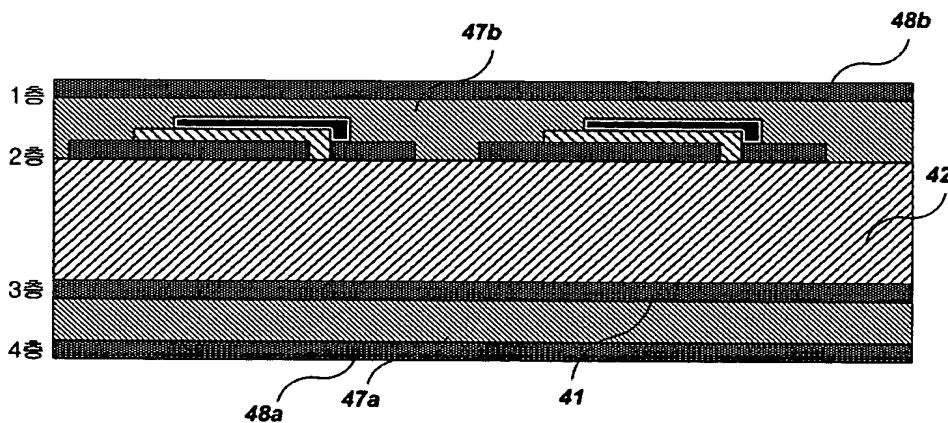
【도 1b】



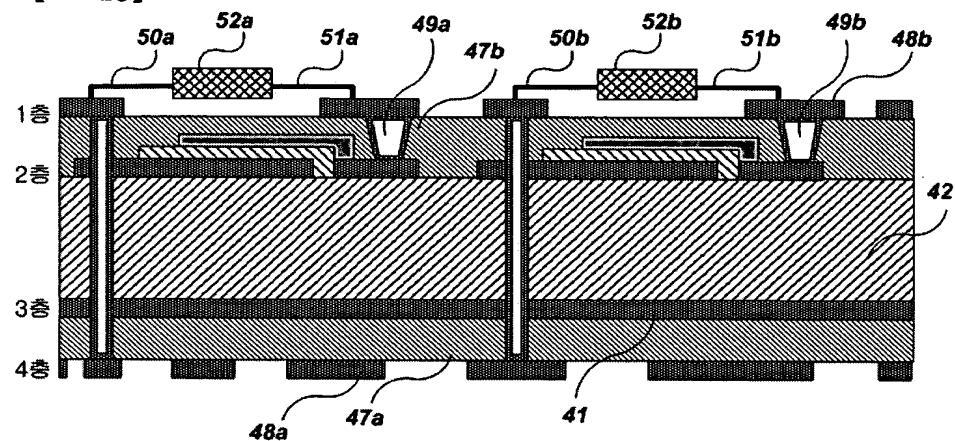
【도 1c】



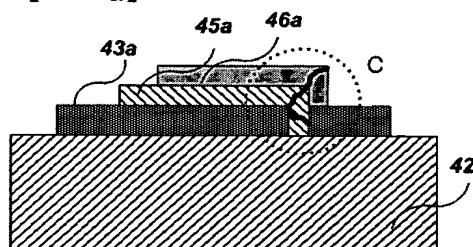
【도 1d】



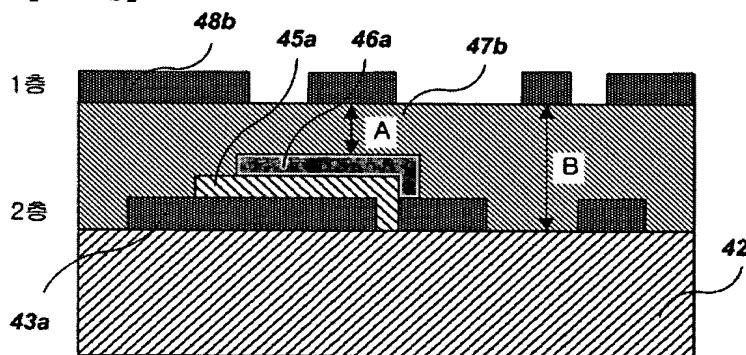
【도 1e】



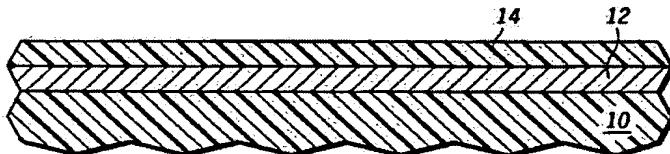
【도 2a】



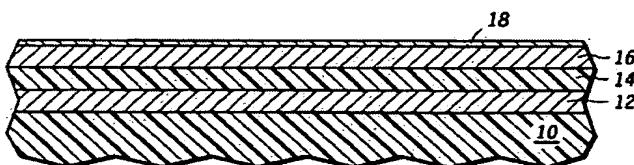
【도 2b】



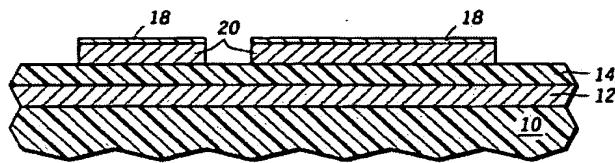
【도 3a】



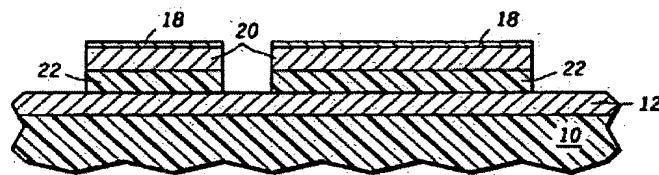
【도 3b】



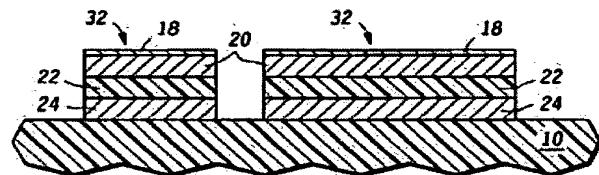
【도 3c】



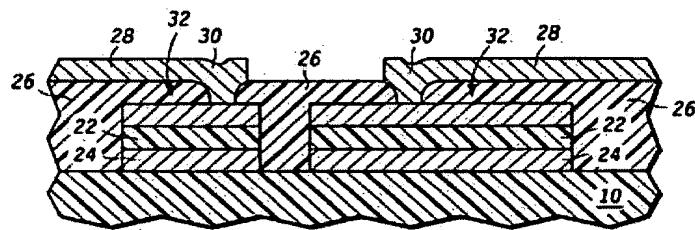
【도 3d】



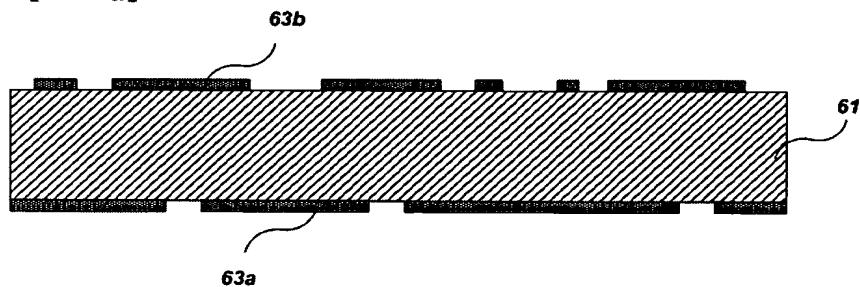
【도 3e】



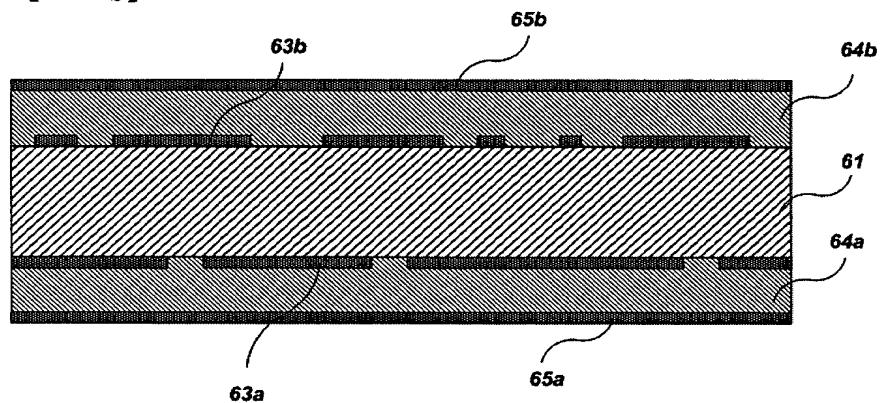
【도 3f】



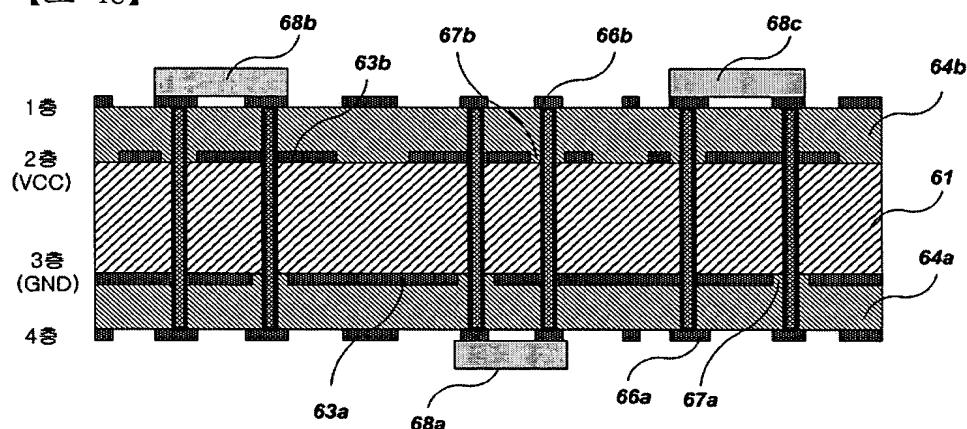
【도 4a】



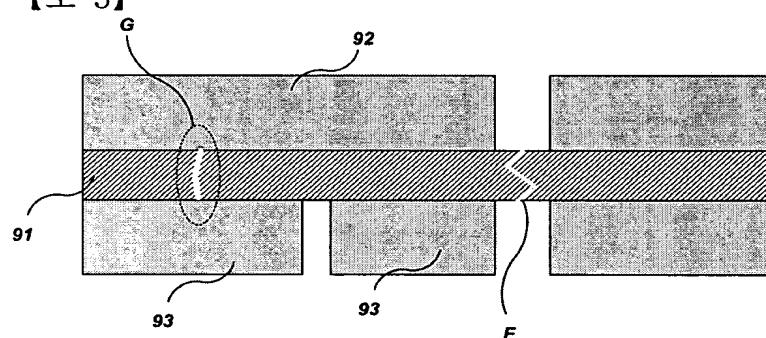
【도 4b】

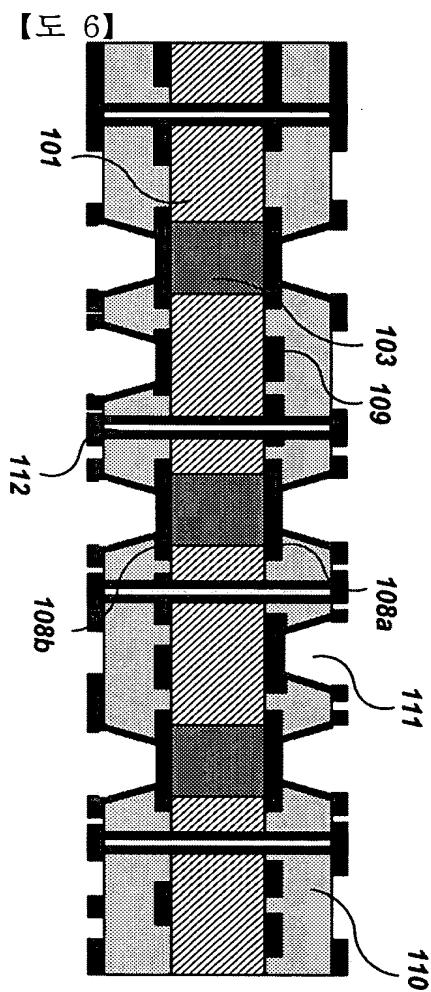


【도 4c】

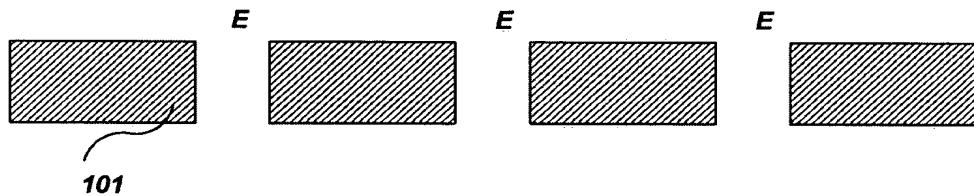


【도 5】

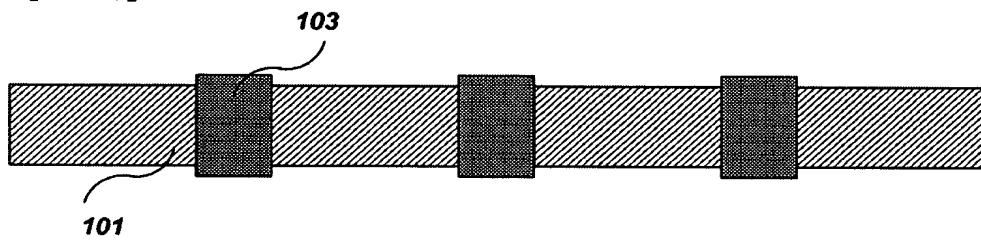




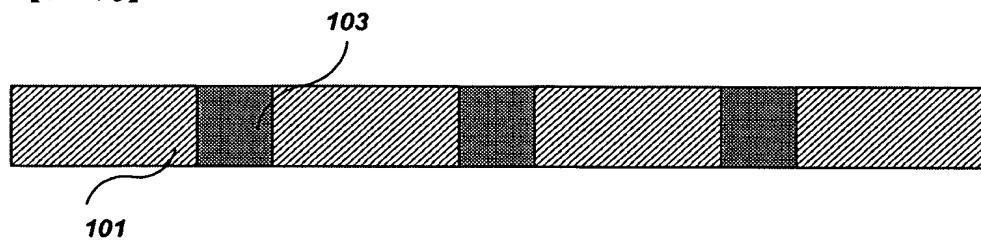
【도 7a】



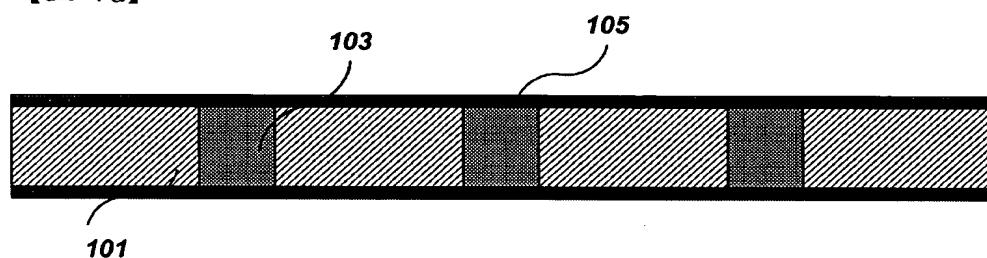
【도 7b】



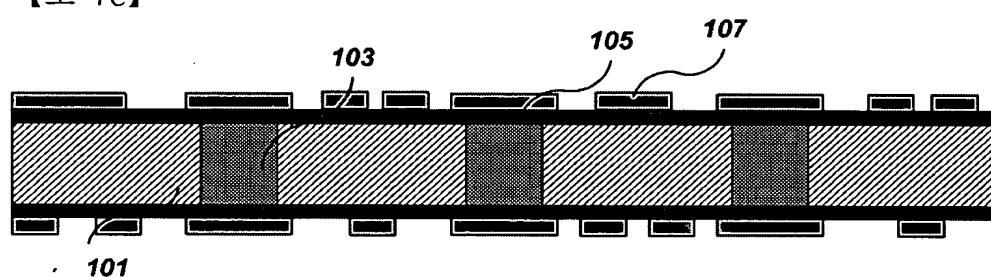
【도 7c】



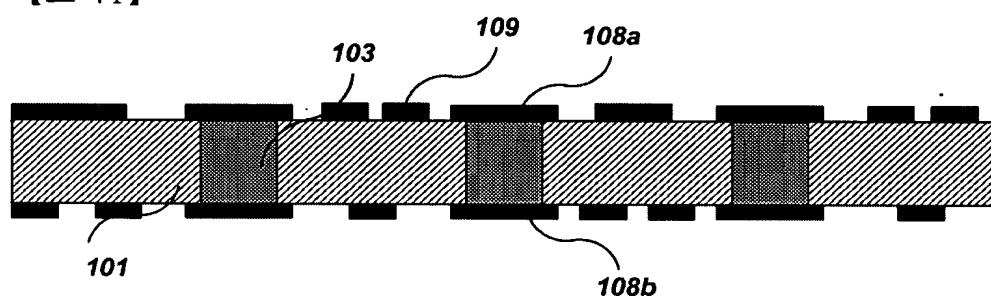
【도 7d】



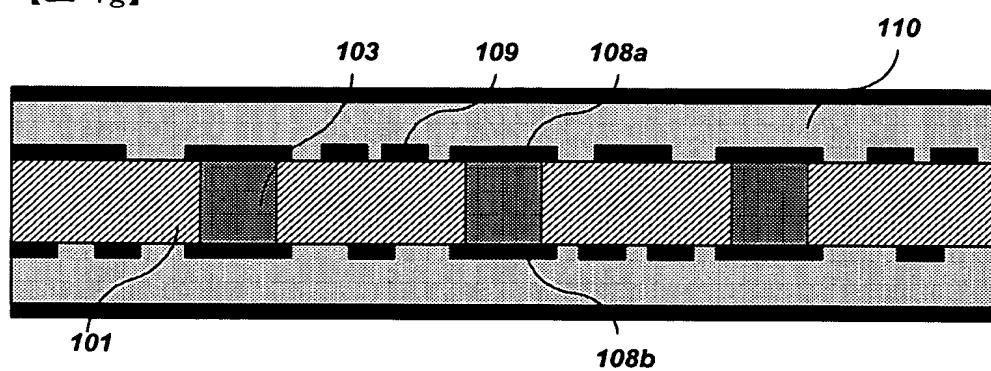
【도 7e】



【도 7f】



【도 7g】



【도 7h】

